

Patent

Customer No. 31561  
Application No.: 10/605,403  
Docket No. 11401-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Lee et al.  
Application No. : 10/605,403  
Filed : September 29, 2003  
For : THIN FILM TRANSISTOR AND FABRICATING  
METHOD THEREOF  
Examiner :  
Art Unit : 2811

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:  
092118974, filed on: 2003/07/11.

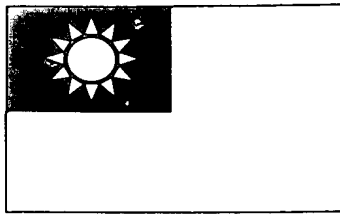
A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 17, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**  
**7F.-1, No. 100, Roosevelt Rd.,**  
**Sec. 2, Taipei 100, Taiwan, R.O.C.**  
**Tel: 886-2-2369 2800**  
**Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 11 日  
Application Date

申請案號：092118974  
Application No.

申請人：中華映管股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 13 日  
Issue Date

發文字號：09221028730  
Serial No.

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

**壹、發明名稱：**(中文/英文)

薄膜電晶體及其製造方法/THIN FILM TRANSISTOR AND  
FABRICATING METHOD THEREOF

**貳、申請人：**(共 1 人)

**姓名或名稱：**(中文/英文)

中華映管股份有限公司/Chunghwa Picture Tubes, LTD.

**代表人：**(中文/英文) 林鎮弘/Chien-Hon Lin

**住居所或營業所地址：**(中文/英文)

台北市中山北路三段二十二號/No. 22, Sec. 3, Chungshan N Rd., Taipei, Taiwan,  
R.O.C.

**國 籍：**(中文/英文) 中華民國/TW

**參、發明人：**(共 2 人)

**姓 名：**(中文/英文)

1. 李育舟/Yu-Chou Lee

2. 曹文光/Tsao Wen-Kuang

**住居所地址：**(中文/英文)

1. 台北縣樹林市中華路 150-5 號 10 樓/10F., No. 150-5, Junghua Rd.,  
Shulin City, Taipei, Taiwan 238, R.O.C.

2. 桃園縣桃園市樹林九街 67 巷 9 號 8 樓/8F., No. 9, Lane 67, Shulin 9th  
St., Taoyuan City, Taoyuan County 330, Taiwan (R.O.C.)

**國 籍：**(中文/英文) 中華民國/TW

## 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

### 伍、中文發明摘要：

一種薄膜電晶體的製造方法。此方法係首先在基板上形成閘極，且閘極的材質係為鉬鈮合金(MoNb)。然後，在基板上形成絕緣層以覆蓋閘極。接著，在絕緣層上形成通道層，之後，在通道層上形成源極/汲極，其中閘極、通道層與源極/汲極係構成薄膜電晶體。由於利用鉬鈮合金作為閘極之材質，所以可以解決習知閘極接觸阻抗過高的問題。

### 陸、英文發明摘要：

A method of fabricating a thin film transistor. A gate is formed on a substrate, and the materials of the gate comprise a MoNb alloy. An insulating layer is formed on the substrate covering the gate. A channel is formed on the insulating layer above the gate, and a source/drain is formed on the channel for forming a thin film transistor. Since MoNb alloy is used as a material of the gate, the issue the value of contact resistance is too large can be resolved.

**柒、指定代表圖：**

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

100：基板

102：閘極

104：絕緣層

106：通道層

108a：源極

108b：汲極

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種薄膜電晶體(Thin Film Transistor, TFT)及其製造方法。

### 【先前技術】

在半導體製程中，薄膜電晶體係常用來作為開關元件，此薄膜電晶體一般來說包括閘極、通道層、汲極與源極。薄膜電晶體元件的操作原理與傳統的半導體 MOS 元件相類似，都是具有三個端子(閘極、汲極以及源極)的元件。以非晶矽薄膜電晶體而言，其製造流程大致包括在基板上形成閘極、通道層以及源極/汲極。其中閘極係為鋁、鉻、鎢、鉭或鈦等單層金屬或是多層金屬。

然而，若以鋁或是鋁合金(例如鋁鈹合金 AlNd)單層作為閘極時，則鋁或是鋁合金接觸大氣之後會產生氧化物，當使用蝕刻液進行蝕刻時，所產生的鋁氧化物將無法有效地被蝕刻液蝕刻的問題，因此，為了避免產生鋁氧化物，通常會在鋁或是鋁合金上形成保護層(例如是氮化層)，然而此方法會在蝕刻形成閘極後，在閘極頂端的周圍附著殘留物而造成屋簷效應，影響後續製程。

此外，若以鋁或是其鋁合金與其他金屬(例如是鉻或鉬(Mo))之多層金屬作為閘極，在圖案化的過程中由於不同材質之間的蝕刻速率不同，所以位於下層的鋁或是其鋁合金遭受蝕刻液之侵蝕速率較快而容易產生底切(undercut)，此外，在圖案化上述多層金屬的過程中，同樣

會有蝕刻殘留物產生而造成屋簷效應的問題，而上述的問題會影響到閘極的接觸阻抗與配線阻抗，進而影響元件的作動，再者，如將閘極形成多層金屬的結構，與單層金屬結構相較之下，製程將會變得較為繁瑣。當然，除閘極會產生上述問題之外，對於源極/汲極而言，亦同樣會產生相同的問題。

#### 【發明內容】

有鑑於此，本發明的目的就是在提供一種薄膜電晶體，能夠改善閘極與源極/汲極之接觸阻值或源極/汲極之配線阻值。

本發明的又一目的是提供一種薄膜電晶體的製造方法，能夠利用具有抗氧化與抗腐蝕能力的材質以形成單層的閘極或源極/汲極，從而提高產能。

本發明的又一目的是提供一種薄膜電晶體的製造方法，能夠避免在定義閘極與源極/汲極的蝕刻製程中產生蝕刻殘留物。

本發明提出一種薄膜電晶體的製造方法，此方法係首先在基板上形成閘極。之後，在基板上形成絕緣層以覆蓋閘極，接著，在閘極上方之絕緣層上形成通道層。然後，在通道層上形成源極/汲極，且閘極、通道層以及源極/汲極係構成薄膜電晶體。值得一提的是，在本發明中閘極與源極/汲極之較佳材質例如是鉬鈮合金的單層結構。

而且，在上述薄膜電晶體的製造方法中，其中閘極的材質還可以是鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金。



本發明提出一種薄膜電晶體，此薄膜電晶體包括基板、閘極、絕緣層、通道層與源極/汲極。其中閘極係配置於基板上，另外，絕緣層係配置於基板上且覆蓋閘極。此外，通道層係配置於閘極上方之通道層上，另外，源極/汲極係配置在通道層上方。值得一提的是，在本發明中閘極與源極/汲極之較佳材質例如是鉬鈮合金的單層結構。

而且，在上述薄膜電晶體中，其中閘極的材質還可以是鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金。

此外，在上述薄膜電晶體的結構及其製造方法中，其中鉬鈮合金中之鈮的含量係小於 10%。

由於本發明的製造方法係利用鉬鈮合金來取代習知鋁鈹合金/鉻或鋁鈹合金/鉬，以形成單層結構的閘極或源極/汲極，因此其製程會變得較為簡單，從而能夠提高薄膜電晶體的產能。

此外，本發明的結構其閘極的材質係利用鉬鈮合金來取代習知鋁鈹合金/鉻或鋁鈹合金/鉬，由於鉬鈮合金所形成的閘極與源極/汲極其閘極與源極/汲極的接觸阻抗以及源極/汲極的配線阻抗較低，因此能夠改善閘極與源極/汲極的接觸阻抗以及極/汲極的配線阻抗。

而且，由於鉬鈮合金具有良好的抗氧化與抗腐蝕能力，不需形成罩幕層保護就可以進行蝕刻，因此不會在蝕刻製程中產生蝕刻殘留物。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳

細說明如下：

【實施方式】

在以下的說明中，係以一般的薄膜電晶體作說明，但是本發明並不限定於此，本發明亦可應用於低溫多晶矽 (Low Temperature poly-Silicon, LTPS) 薄膜電晶體。

第 1 圖所示，其繪示為依照本發明一較佳實施例之薄膜電晶體之剖面示意圖。

請同時參照第 1 圖，本發明之薄膜電晶體包括基板 100、閘極 102、絕緣層 104、通道層 106 與源極 108a/汲極 108b。其中閘極 102 係配置於基板 100 上，另外，絕緣層 104 配置於基板 100 上且覆蓋閘極 102。此外，通道層 106 係配置於閘極 102 上方之通道層 106 上，另外，源極 108a/汲極 108b 係配置在通道層 106 上方。

值得一提的是，在一較佳實施例中閘極 102 的較佳材質例如是鉬鈮合金 (MoNb)、鉬鈮合金/鋁鈹合金 (AlNd) 或鉬鈮合金/鋁鈹合金/鉬鈮合金，且鉬鈮合金中之鈮 (Nb) 的含量係小於 10%，而源極 108a/汲極 108b 的材質例如是一般習知技術所用之材質，例如是鉻。

此外，另一較佳實施例中，源極 108a/汲極 108b 之較佳材質例如是鉬鈮合金、鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金，且鉬鈮合金中之鈮的含量例如是小於 10%，而閘極 102 的材質例如是一般習知技術所用之材質，例如是鋁鈹合金/鉬。另外，在又一較佳實施例中，閘極 102 與源極 108a/汲極 108b 之較佳材質例如是鉬鈮合

金、鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金，而且鉬鈮合金中之鈮的含量例如是小於 10%。

特別值得一提的是，使用上述鉬鈮合金的優點在於相較於習知之鉻或鉬金屬其性質較穩定，所以具有較佳之抗氧化與抗腐蝕的能力，特別是當鈮含量越多其效果會越好，不過，當鈮添加的量越多，電阻值會上昇，因此鈮所添加的量端視產品需求而定。

爲了詳細說明本發明之內容，以下係針對上述之薄膜電晶體的製造方法加以說明，如第 2A 圖至第 2C 圖所示。

請參照第 2A 圖，首先提供一基板 100，其中基板 100 例如是一玻璃基板或一透明塑膠基板。接著，於基板 100 上形成一層厚度約爲數千埃的圖案化金屬層，以定義出閘極 102 之位置。其中，形成金屬層之方法例如是濺鍍法，且此金屬層的材質例如是鉬鈮合金、鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金，而且鉬鈮合金中之鈮的含量例如是小於 10%。

接著，於基板 100 上全面性的形成絕緣層 104，以覆蓋閘極 102。其中，形成絕緣層 104 之方法例如是以電漿化學氣相沈積法沈積一氮化矽層或是一氧化矽層。

之後，請參照第 2B 圖，在絕緣層 104 上形成通道材質層(未繪示)，並圖案化此通道材質層以定義出通道層 106 之位置。其中，所形成之通道層 106 係位於閘極 102 上方的絕緣層 104 上。而且，在通道層 106 之表面上更包括形成有歐姆接觸層(未繪示)。通道層 106 之材質例如是非晶

矽( a-Si )，而歐姆接觸層之材質例如是經摻雜之非晶矽( n+-Si )。

然後，請參照第 2C 圖，在基板 100 之上方形形成另一金屬層(未繪示)，並藉由圖案化定義出源極 108a/汲極 108b，其中此金屬層之材質例如是鉬鈮合金、鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金，而且鉬鈮合金中之鈮的含量例如是小於 10%。在此步驟中，更包括同時將通道層 106 之部分厚度移除。在上述步驟完成之後，所形成之閘極 102、通道層 106 與源極 108a/汲極 108b 係構成薄膜電晶體。

爲了說明本發明確實可行，以下特舉出數項測試結果加以說明，在以下之閘極與源極/汲極製程中，其製程之參數係包括製程溫度攝氏 180 度、80 sccm 之氬氣流量以及 55kw 之功率。此外，以下之測試包括單層鉬鈮合金之源極/汲極與閘極以及多層之源極/汲極與閘極，其中鉬鈮合金之鈮的含量係爲 10%。

表 1 以鉬鈮合金作爲源極/汲極

	片電阻	接觸電阻
鉬鈮合金(4000 埃)	18.35	1.291
鉻(4000 埃)	20.09	2.814
鉬鈮合金(450 埃)/鋁鈹合金 (2000 埃)/鉬鈮合金(150 埃)	10.92	1.31

由表 1 可知使用單層之鉬鈮合金作為源極/汲極其片電阻(18.35)與接觸電阻(1.291)比習知常用之鉻金屬(20.09與 2.814)小，除此之外多層包含鉬鈮合金之源極/汲極其阻值(10.92 與 1.31)則介於二者之間，因此利用本發明之鉬鈮合金作為源極/汲極的確可以降低源極/汲極的配線阻值。

表 2 以鉬鈮合金作為閘極

	片電阻	接觸電阻
鉬鈮合金(4000 埃)	8.118	7.487
鋁鈹合金(4000 埃)	5.089	675.9
鉬鈮合金(450 埃)/鋁鈹合金(2000 埃)	4.597	34.76

由表 2 可知，在使用單層之鉬鈮合金作為閘極時，其片電阻(8.118)由於鈮的存在，所以阻值大於一般習知之鋁鈹合金(5.089)，但是其接觸電阻(7.487)遠小於習知鋁鈹合金之接觸阻抗(675.9)，除此之外，雙層包含鉬鈮合金之閘極其片阻值與接觸電阻(4.597 與 34.76)都小於習知之阻值，因此利用本發明之鉬鈮合金作為閘極時可以有效降低其接觸阻值。

在上述較佳實施例中，雖然閘極、源極/汲極的材質可為鉬鈮合金、鉬鈮合金/鋁鈹合金或鉬鈮合金/鋁鈹合金/鉬鈮合金，然而，由於鉬鈮合金具有良好的抗氧化能力與抗腐蝕能力，再加上表 1、表 2 所揭示的測試結果，本發

明之閘極與源極/汲極較佳為採用鉬鈮合金的單層結構，如此不僅閘極與源極/汲極的製程較為簡單，能夠提高產能，同時還能夠兼顧改善接觸阻抗與配線阻抗的效果。

此外，本發明的結構其閘極或源極/汲極的材質係利用鉬鈮合金來取代習知鋁鈹合金/鉻或鋁鈹合金/鉬，此鉬鈮合金不但具有材料性質穩定的優點，而且，藉由鉬鈮合金所形成的閘極與源極/汲極，其能夠降低閘極與源極/汲極的接觸阻抗，並同時降低源極/汲極的配線阻抗，因此能夠改善閘極與源極/汲極的接觸阻抗以及源極/汲極的配線阻抗。

除此之外，利用鉬鈮合金作為閘極之材質，不需要形成雙層之金屬閘極層，意即只需要單層之鉬鈮合金即可作為閘極之用，因此本發明之方法可以使製程較為簡化，進而能夠提高產能。

尚且，由於鉬鈮合金具有良好的抗氧化與抗腐蝕能力，不需在金屬閘極層上形成單幕層保護就能夠直接進行蝕刻，因此不會在蝕刻製程中產生蝕刻殘留物。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1 圖是依照本發明一較佳實施例之薄膜電晶體之剖面示意圖；以及

第 2A 圖至第 2C 圖是依照本發明之一較佳實施例的

一種薄膜電晶體之製程流程剖面示意圖。

【圖式標記說明】

100：基板

102：閘極

104：絕緣層

106：通道層

108a：源極

108b：汲極

## 拾、申請專利範圍：

1.一種薄膜電晶體的製造方法，包括：

在一基板上形成一閘極，該閘極的材質包括鉬鈮合金(MoNb)；

在該基板上形成一絕緣層，以覆蓋該閘極；

在該閘極上方之該絕緣層上形成一通道層；以及

在該通道層上形成一源極/汲極。

2.如申請專利範圍第 1 項所述之薄膜電晶體的製造方法，其中上述鉬鈮合金中之鈮(Nb)的含量係小於 10%。

3.如申請專利範圍第 1 項所述之薄膜電晶體的製造方法，其中該閘極的材質係以選自鉬鈮合金/鋁鈹合金(AlNd)與鉬鈮合金/鋁鈹合金/鉬鈮合金之其中之一取代。

4.如申請專利範圍第 3 項所述之薄膜電晶體的製造方法，其中上述鉬鈮合金中之鈮(Nb)的含量係小於 10%。

5.如申請專利範圍第 1 項所述之薄膜電晶體的製造方法，其中該源極/汲極的材質包括鉬鈮合金、鉬鈮合金/鋁鈹合金或是鉬鈮合金/鋁鈹合金/鉬鈮合金。

6.如申請專利範圍第 5 項所述之薄膜電晶體的製造方法，其中鉬鈮合金中之鈮的含量係小於 10%。

7.一種薄膜電晶體的製造方法，該方法包括下列步驟：

在一基板上形成一閘極；

在該基板上形成一絕緣層以覆蓋該閘極；

在該閘極上方之該絕緣層上形成一通道層；以及

在該通道層上形成一源極/汲極，其中該源極/汲極的材質包括鉬鈮合金。



8.如申請專利範圍第 7 項所述之薄膜電晶體的製造方法，其中上述鉬鈮合金中之鈮的含量係小於 10%。

9.如申請專利範圍第 7 項所述之薄膜電晶體的製造方法，其中該源極/汲極的材質係以選自鉬鈮合金/鋁鈹合金與鉬鈮合金/鋁鈹合金/鉬鈮合金之其中之一取代。

10.如申請專利範圍第 9 項所述之薄膜電晶體的製造方法，其中上述鉬鈮合金中之鈮的含量係小於 10%。

11.一種薄膜電晶體，包括：

一閘極，配置於一基板上，其中該閘極的材質包括鉬鈮合金；

一絕緣層，配置於該基板上，且覆蓋該閘極；

一通道區，配置於該閘極上方之該絕緣層上；以及

一源極/汲極，配置於該通道區上。

12.如申請專利範圍第 11 項所述之薄膜電晶體，其中上述鉬鈮合金中之鈮的含量係小於 10%。

13.如申請專利範圍第 11 項所述之薄膜電晶體，其中該閘極的材質係以選自鉬鈮合金/鋁鈹合金與鉬鈮合金/鋁鈹合金/鉬鈮合金之其中之一取代。

14.如申請專利範圍第 13 項所述之薄膜電晶體，其中上述鉬鈮合金中之鈮(Nb)的含量係小於 10%。

15.如申請專利範圍第 11 項所述之薄膜電晶體，其中該源極/汲極的材質包括鉬鈮合金、鉬鈮合金/鋁鈹合金與鉬鈮合金/鋁鈹合金/鉬鈮合金其中之一。

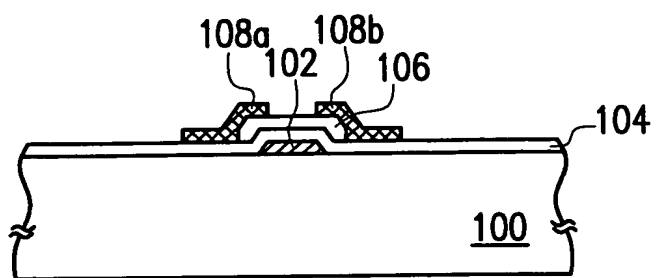
16.如申請專利範圍第 15 項所述之薄膜電晶體，其中上述鉬鈮合金中之鈮的含量係小於 10%。

17.一種薄膜電晶體，包括：  
一閘極，配置於一基板上；  
一絕緣層，配置於該基板上，且覆蓋該閘極；  
一通道區，配置於該閘極上方之該絕緣層上；以及  
一源極/汲極，配置於該通道區上，其中該源極/汲極的材質包括鉬鈮合金。

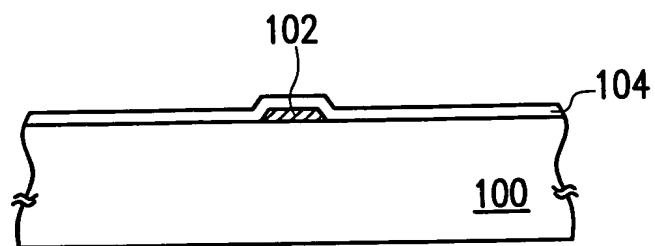
18.如申請專利範圍第 17 項所述之薄膜電晶體，其中鉬鈮合金中之鈮的含量係小於 10%。

19.如申請專利範圍第 17 項所述之薄膜電晶體，其中上述鉬鈮合金中之鈮的含量係小於 10%。

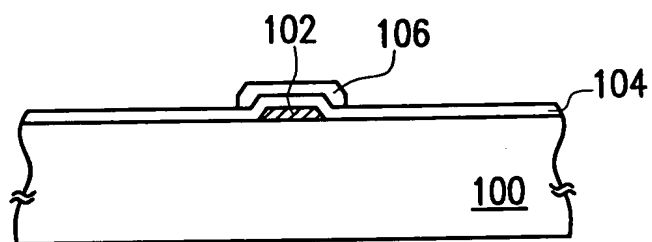
20.如申請專利範圍第 17 項所述之薄膜電晶體，其中該源極/汲極的材質係以選自鉬鈮合金/鋁鈹合金與鉬鈮合金/鋁鈹合金/鉬鈮合金之其中之一取代。



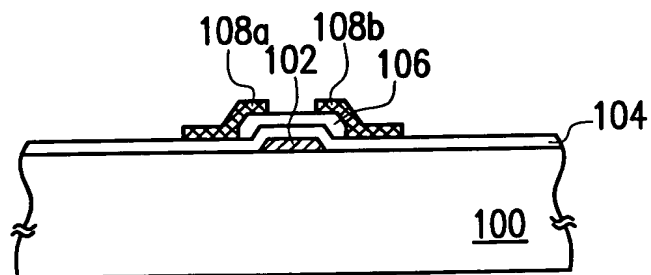
第 1 圖



第 2A 圖



第 2B 圖



第 2C 圖